

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Patent Number: JP11317407
Publication date: 1999-11-16
Inventor(s): KINASHI KOJI
Applicant(s): NIPPON STEEL CORP
Requested Patent: ☐ JP11317407
Application Number: JP19980122423 19980501
Priority Number(s):
IPC Classification: H01L21/3205; H01L21/28; H01L21/768
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which tungsten plug in the multilayer metal wiring of a semiconductor device is hard to be pulled out, and a method for manufacturing the device.

SOLUTION: A non-doped silicon oxide (NSG) film 12 is formed on a semiconductor substrate 11, a BPSG (boron phosphorous doped silicon oxide) film 13 is formed, and a BPSG film 14 whose dopant concentration is lower than that of the BPSG film 13 is formed. Next, when a contact hole 15 is opened, anisotropic etching is generated due to the difference in the etching speeds for the dopant concentration of the BPSG films 13 and 14, and a rectangular contact hole 15 is formed. Thereafter, a tungsten film 16 is grown in the contact hole 15, and the tungsten film 16 is subjected to chemical-mechanical grinding, so that the tungsten film 16 is flattened so as to be embedded in the contact hole 15.

Data supplied from the esp@cenet database - 12

AL

(54) 발명명 (C) P

(12) 公開特許公報 (A)

(11) 特許公報公開番号

特開平11-317407

(発明公開日) 平成11年(1999)11月16日

(54) Int. Cl. ⁷	(51) Int. Cl.	(71) 出願人	(72) 発明者	(73) 出願人
H01L 21/32(05)	H01L 21/32	H01L 21/32	H01L 21/32	H01L 21/32
H01L 21/32	H01L 21/32	H01L 21/32	H01L 21/32	H01L 21/32
H01L 21/32	H01L 21/32	H01L 21/32	H01L 21/32	H01L 21/32

審査請求 未付 特許料の額 100,000 円

(21) 出願番号 特願平11-127407

(71) 出願人 OKI SEMICONDUCTOR CO., LTD.

2191-1000 株式会社

東京都千代田区大田町2丁目6番3号

(22) 出願日 平成10年(1998)5月1日

(72) 発明者 木村 孝浩

東京都千代田区大田町2丁目6番3号 株式会社

製造株式会社内

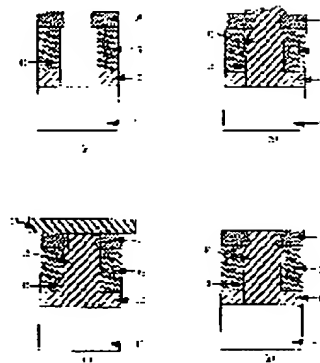
(73) 代理人 青木 隆夫 559

(54) 発明の名称 半導体装置及びその製造方法

【要約】

【課題】 半導体装置の多層金属配線におけるタングステンプラグが抜けにくい半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板11上にノンドープのシリコン酸化膜(NSG膜)12を形成した後、BPSG膜13を形成し、BPSG膜13よりもドーパント濃度が低いBPSG膜14を形成する。次に、コンタクト孔15を開孔すると、BPSG膜13、14のドーパント濃度によるエッチング速度の違いによって異方性エッチングが起こり、矩形のコンタクト孔15が形成され、その後、コンタクト孔15内にタングステン膜16を成長させ、次にタングステン膜15に化学機械研磨を施し、コンタクト孔15に埋込むように平坦化する。



【特許請求の範囲】

【請求項1】素子が形成された半導体基板上に、BPSG層を形成する際に、前記BPSG層の表面近傍の上層部が、前記半導体基板に近い下層部よりも低い不純物濃度を有する前記BPSG層を形成する第1の工程と、エッチングにより、前記BPSG層に、前記半導体基板まで達するコンタクト孔を形成する第2の工程と、前記第2の工程後、前記半導体基板上にタングステン膜を形成する第3の工程と、前記タングステン膜を平坦化する第4の工程とを備えることを特徴とする半導体装置の製造方法。

【請求項2】前記第1の工程前に、前記半導体基板上に、ノンドープのシリコン酸化膜を形成する工程を更に含み、前記第1の工程で、少なくとも2層に分けて、それぞれ互いに濃度の異なる前記BPSG層を順次形成する際に、前記コンタクト孔の開孔部に最も近い前記BPSG層の濃度が、当該BPSG層に続く前記BPSG層の濃度よりも高くなるように積層形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記第1の工程前に、前記半導体基板上に、ノンドープのシリコン酸化膜を形成する工程を更に含み、前記第1の工程で、前記BPSG層に含まれる不純物濃度が、前記半導体基板から遠ざかるほど低くなるような前記BPSG層を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記第4の工程は、化学機械研磨もしくはエッチバックによることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】素子が形成された半導体基板上に、前記半導体基板まで達するコンタクト孔が形成されたBPSG層と、前記コンタクト孔内に形成され、前記コンタクト孔を介して、前記半導体基板と接続しているタングステン膜とを備え、前記コンタクト孔の開孔近傍の上部の径が、前記半導体基板に近い下部の径よりも小さく、また、前記BPSG層に含まれる不純物濃度が、前記コンタクト孔の開孔に近い上層部よりも前記半導体基板に近い下層部の方が高いことを特徴とする半導体装置。

【請求項6】前記BPSG層は、それぞれ互いに異なる濃度の不純物を含む少なくとも2層から成り、各層ごとに、前記コンタクト孔の径が異なり、最上層に含まれる不純物濃度は、それよりも下層に含まれる不純物濃度よりも低いことを特徴とする請求項5に記載の半導体装置。

【請求項7】前記コンタクト孔が、当該コンタクト孔の径が開孔に近い上部ほど小さくなる逆テーパ形状であり、前記BPSG層に含まれる不純物濃度が、前記コン

タクト孔の開孔に近い上層部ほど低いことを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に、金属配線のコンタクト孔の形成方法に関するものであり、DRAMなどのLSIに適用される。

【0002】

【従来の技術】近年、LSIの微細化が進み、これに伴って配線のコンタクト孔の開孔部の径も小さくなってきている。これによって従来用いられてきたスパッタ技術による金属堆積法はステップカバレッジ不良のため使用できなくなり、代わってCVD法によるタングステン成長法が開発されてきた。この方法は物理的なスパッタと違い、金属膜上に選択的に成長するため、コンタクト孔のような開孔部にも完全に埋め込むことができる。

【0003】しかし、タングステンをコンタクト孔の埋設だけでなく、ウエハー全面に成膜し、パターニングすることによって配線として用いるプランケットータングステン配線は、アルミ配線に比べて抵抗率が高いため、最近ではコンタクト孔の埋込部分だけにタングステンを、配線部分にはアルミを用いたタングステンプラグ法を用いるようになってきている。これは選択的に、あるいはバリア膜上に全面成膜したタングステンを、開孔部上端で平坦になるように化学機械研磨により研磨して埋込プラグを形成するものである。

【0004】以下、図3を用いて、従来の、タングステンプラグの形成方法を説明する。図3(a)～図3(d)は従来の方法を示す断面図である。

【0005】先ず、図3(a)に示すように、半導体基板31上に形成したノンドープのシリコン酸化膜(NSG膜)32を厚さ0.2 μ m程度に形成する。続いて、ボロンホスホラスドープのシリコン酸化膜(BPSG膜)33を0.7 μ m程度に形成する。その後、フォトリソグラフィ工程、エッチング工程によってコンタクト孔34を開孔する。続いて、図3(b)に示すように、タングステンをCVD法により成長させ、コンタクト部に埋設し、タングステンプラグ35を形成する。さらに、図3(c)に示すように、化学機械研磨を用い、研磨布36によって表面を研磨する。

【0006】

【発明が解決しようとする課題】上記方法においては、化学機械研磨によりタングステン膜を35を研磨した際に、図3(d)に示すように、機械的な応力が働いてタングステンプラグが抜け出てしまうといった問題が生じていた。

【0007】そこで、本発明においては、タングステンプラグが抜けることのない、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、素子が形成された半導体基板上に、BPSG層を形成する工程において、当該BPSG層の表面近傍の上層部が、前記半導体基板に近い下層部よりも低い不純物濃度を有するBPSG層を形成する第1の工程と、エッチングにより、前記BPSG層に、前記半導体基板まで達するコンタクト孔を形成する第2の工程と、前記第2の工程後、前記半導体基板上にタングステン膜を形成する第3の工程と、前記タングステン膜を、平坦化する第4の工程とを備える。

【0009】本発明の半導体装置の製造方法は、別の観点では、前記第1の工程前に、前記半導体基板上に、ノンドーパのSiO₂(NSG)膜を形成する工程を含み、前記第1の工程で、少なくとも2層に分けて、それぞれ互いに濃度の異なるBPSG層を順次形成する際、前記コンタクト孔の開孔部に最も近いBPSG層の濃度が、当該BPSG層に続くBPSG層の濃度よりも高くなるように積層形成する工程を有する。

【0010】本発明の半導体装置の製造方法は、更に別の観点では、前記第1の工程前に、前記半導体基板上に、ノンドーパのSiO₂(NSG)膜を形成する工程を含み、前記第1の工程で、前記BPSG層に含まれる不純物濃度が、前記半導体基板から遠ざかるほど低くなるような前記BPSG層を形成する工程を有する。

【0011】本発明の一態様においては、前記平坦化する第4の工程は、化学機械研磨もしくはエッチバックによる。

【0012】本発明の半導体装置は、素子が形成された半導体基板上に、前記半導体基板まで達するコンタクト孔が形成されたBPSG層と、前記コンタクト孔内に形成され、前記コンタクト孔を介して、前記半導体基板と接続しているタングステン膜とを備える半導体装置であって、前記コンタクト孔の開孔近傍の上部の径が、前記半導体基板に近い下部の径よりも小さく、また、前記BPSG層に含まれる不純物濃度が、前記コンタクト孔の開孔に近い上層部よりも、前記半導体基板に近い下層部の方が高い。

【0013】本発明の一態様においては、前記BPSG層は、それぞれ互いに異なる濃度の不純物を含む少なくとも2層のBPSG層から成り、各BPSG層ごとに、前記コンタクト孔の径が異なり、最上層の前記BPSG層に含まれる不純物濃度は、それよりも下層の前記BPSG層に含まれる不純物濃度よりも低い積層構造の前記BPSG層を有する。

【0014】本発明の一態様においては、前記コンタクト孔が、該コンタクト孔の径が開孔に近い上部ほど小さくなる逆テーパ形状であり、前記BPSG層に含まれる不純物濃度が、前記コンタクト孔の開孔に近い上層部ほど低い。

【0015】

【発明の実施の形態】以下、本発明の具体的ないくつかの実施形態について、図面を参照して説明する。

【0016】(第1の実施形態)図1(a)~図1(d)は本発明の第1の実施形態の半導体装置を示す断面図である。

【0017】まず、図1(a)に示すように、半導体基板11上にノンドーパのシリコン酸化膜(NSG膜)12を厚さ0.2 μ m程度に形成する。続いて、第1のボロンホスホラスドーパのシリコン酸化膜(BPSG膜)13を厚さ0.5 μ m程度に形成する。さらに、BPSG膜13よりも、ドーパント濃度が低い第2のBPSG膜14を厚さ0.2 μ m程度に形成する。

【0018】これらを形成した後、フォトリソグラフィ工程、エッチング工程によってコンタクト孔を開孔する。この際、エッチング工程においては、異方性エッチングの条件を用いることによって、図中BPSG膜13、14のドーパント濃度の違いによって生じるエッチング速度の違いにより、開孔される孔径が変わり、矩形のコンタクト孔15が形成される。これは、ドーパント濃度が高いほどエッチングレートは速くなるからである。

【0019】続いて、図1(b)に示すように、タングステンをCVD法により成長させ、コンタクト部に埋設し、タングステンプラグ16を形成する。さらに、図1(c)に示すように、化学機械研磨(CMP)を用い、研磨布17によって表面を研磨する。この際、機械的応力によってタングステンプラグが抜けそうになっても、矩形のコンタクト孔15によって妨げられ、プラグの抜けを防止でき、図1(d)に示すようなコンタクトプラグが形成できる。

【0020】(第2の実施形態)図2(a)~図2(d)は本発明の第2の実施形態の半導体装置を示す断面図である。

【0021】まず、図2(a)に示すように、半導体基板21上にノンドーパのシリコン酸化膜(NSG膜)22を厚さ0.2 μ m程度に形成する。続いて、ボロンホスホラスドーパのシリコン酸化膜(BPSG膜)23を、通常の常圧CVD装置にて、BPSG膜23に含まれる不純物濃度が、半導体基板21に近いほど高くなるように、膜厚方向にドーパント濃度を变化させて厚さ0.7 μ m程度に形成する。

【0022】これらを形成した後、フォトリソグラフィ工程、エッチング工程によってコンタクト孔24を開孔する。この際、エッチング条件に異方性エッチングの条件を用いることによって、BPSG膜のドーパント濃度によって生じるエッチング速度の違いによって、図2(a)中24で示すような逆テーパ形状のホールが形成される。これは、ドーパント濃度が濃くなるほどエッチングレートが速くなるためである。

【0023】続いて、図2（b）に示すように、タングステンをCVD法により成長させ、コンタクト部に埋設し、タングステンプラグ25を形成する。さらに、図2（c）に示すように、化学機械研磨を用い、研磨布26によって表面を研磨する。この際に機械的応力によってタングステンプラグが抜けそうになっても、逆テーパ形状のコンタクト孔25によって妨げられ、プラグの抜けを防止でき、図2（d）に示すようなコンタクトプラグが形成できる。

【0024】

【発明の効果】本発明によれば、膜特性によるドライエッチング速度の相違を用いて、コンタクト孔の形状を、開孔付近が狭くなるように形成し、タングステンプラグが機械的応力によって上部に抜けてしまう現象を防ぐことができるため、信頼性の高い半導体装置およびその製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を説明するための概略断面図である。

【図2】本発明の第2の実施形態を説明するための概略断面図である。

【図3】従来のコンタクトプラグの形成方法を示す概略断面図である。

【符号の説明】

11, 21, 31 半導体基板

12, 22, 32 ノンドープのシリコン酸化膜（NSG膜）

13, 23, 33 第1のBPSG膜

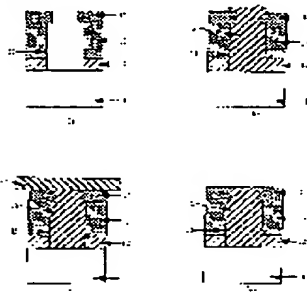
14 第2のBPSG膜

15, 24, 34 コンタクト孔

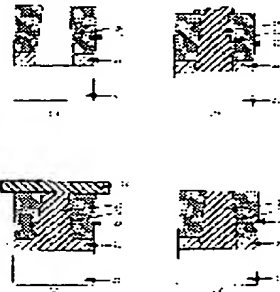
16, 25, 35 タングステンプラグ

17, 26, 36 研磨布

【図1】



【図2】



【图3】

